

BB

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application]This invention relates to the formation method of the thin film wiring which forms a minute pattern especially using electroless deposition about the formation method of wiring of a thin film.

[0002]

[Description of the Prior Art]In order to form thin film wiring conventionally on the substrate which has an insulating substrate, a semi-insulating substrate, or an insulator layer, a conductive substrate film is beforehand formed by vacuum evaporation, sputtering, or electroless deposition. Subsequently, in order to lower resistance of wiring further on this substrate film, after forming a tunic thickly by electrolytic plating or electroless deposition, the desired circuit pattern is formed with the photolithographic method.

[0003]Drawing 4 (a) thru/or (d) is a sectional view showing the formation method of the conventional thin film wiring at process order. This drawing 4 is an example in the case of forming a ground film by an electroless deposition method. As shown in drawing 4 (a), spreading formation of the catalyst bed 2 which contains palladium (Pd), for example is carried out on the substrate 1 as a reaction catalyst of electroless deposition.

[0004]Subsequently, it burns on the substrate 1 and the bundle catalyst bed 3 is made to adhere firmly by burned and carrying out the bundle of the catalyst bed 2 drawing 4 (b) So that it may be shown.

[0005]Subsequently, if immersed into electroless plating liquid, for example, the mixed liquor of a water-soluble nickel (nickel) salt and hypophosphite (NaH_2PO_2), the Ni ions in electroless plating liquid will return by operation of the catalyst bed 3, and the catalyst bed 3 will be covered, and also a reduction reaction will advance reduced nickel in a core. As a result, as shown in drawing 4 (c), the electroless deposition layer 4 about 1 micrometer thick is formed by heating for 20 minutes at about 80 **.

[0006]Subsequently, the resist pattern corresponding to a circuit pattern is formed by applying the photoresist 5 on the electroless deposition layer 4, and patterning the photoresist 5 by photolithography.

[0007]Subsequently, if etching removal of the electroless deposition layer 4 and the catalyst bed 3 of a portion which have exposed the photoresist 5 as a mask is carried out and also the resist layer 5 is removed as shown in drawing 4 (d), a desired circuit pattern will be completed by the electroless deposition layer 4.

[0008]

[Problem(s) to be Solved by the Invention]However, there is a fault as shown below in an above-mentioned wiring formation method. First, depending on the etching reagent of the electroless deposition layer 4, and the etching reagent of the catalyst bed 3, the electroless deposition layer [directly under] 4 of the resist 5 corrodes greatly, and what is called a side etching phenomenon appears. For this reason, there is a fault of being hard to form detailed wiring. As it is considered as the formation method which makes side etching small and is shown in drawing 5 (a), the resist 5 is patterned, it ranks second so that a wiring section may carry out an opening,

and there are some which laminate the catalyst bed 2. And if the catalyst bed 2 on the resist 5 is also removed by carrying out dissolution removal of the resist 5 after that, the catalyst bed 2 will remain only at the opening pars basilaris ossis occipitalis and this will be immersed in electroless plating liquid, As shown in drawing 5 (b), the electroless deposition layer 4 is formed and the substrate which has a desired circuit pattern is completed.

[0009]However, when the catalyst bed 2 on the resist 5 may stick on the substrate 1 and plates with this method as it is, as shown in drawing 5 (b), there is a fault that the electroless deposition layer 7 will be formed on the catalyst bed 6 sticking to the substrate 1. It is only having adhered to the substrate face physically, and the fault that adhesion is inferior also has each tunic.

[0010]This invention was made in view of this problem, and is ****. An electroless deposition layer can be prevented from ** being prevented, and the purpose being able to form detailed wiring and being formed in a garbage, and it is providing the formation method of thin film wiring with adhesion with a good tunic.

[0011]

[Means for Solving the Problem]A formation method of thin film wiring which requires this invention for this invention is characterized by that a formation method of wiring of a up to [a semiconductor substrate or an insulating substrate] comprises:

A process of applying photoresist and transferring a necessary circuit pattern.

A process of carrying out the ion implantation of the substance which serves as a catalyst of electroless deposition, or an activator to a wiring formation field by using this circuit pattern as a mask.

A process which carries out sputter etching after removing said photoresist.

A process of performing electroless deposition.

[0012]Since it is what has the operation effect as a case where the character upper substrate itself is insulation also with same substrate in which an insulator layer was formed on the surface, in this invention, it shall include in an insulating substrate.

[0013]

[Function]In this invention, electroless deposition is performed, after carrying out the ion implantation of the catalyst of electroless deposition to a substrate face with a predetermined circuit pattern and forming a ground catalyst bed in it.

Therefore, there is no wiring corrosion by side etching, and detailed wiring can be formed.

Since sputter etching is carried out after removing photoresist, the catalyst bed which remains in addition to a wiring formation part can be removed thoroughly, and an electroless deposition layer can be prevented from being formed in a garbage. Since the catalyst used as a core is embedded in the substrate face, adhesion with each good film can be acquired.

[0014]

[Example]Next, the example of this invention is described with reference to an attached drawing.

[0015]Drawing 1 (a) thru/or (d) is a sectional view of the substrate in which the example method of this invention is shown at process order. As shown in drawing 1 (a), pattern formation of the photoresist 8 is carried out with the photolithographic method so that the photoresist 8 may be applied on the substrate 1 and an opening may be formed in the wiring formation field 11 to need. Use this photoresist 8 as a mask and Electroless deposition. For example, for example, the ion implantation of the catalyst palladium (Pd) for nickel (nickel) is carried out on condition of the dose of the energy of 100 – 200Kev and abbreviation $1 \times 10^{16} - 1 \times 10^{19} \text{cm}^{-2}$, and the ion implantation layer 10 is formed in the surface of the substrate 1 of the wiring formation field 11. At this time, Pd has the gauss type concentration distribution which has a peak in the place which went for example, into the inside of about 0.03–0.06 micrometer from each surface. The ion implantation layer 9 of the photoresist 8 and the ion implantation layer 10 of the substrate 1 are formed.

In this case, if the thickness of the photoresist 8 shall be 1 micrometers or more, for example, Pd will not reach even to the substrate 1 under the photoresist 8. However, in the removal process of the photoresist 8 of a post process, since exfoliation processing by an organic solvent or acid is usually performed, Pd which existed in the ion implantation layer 9 in the photoresist 8 is eluted. Although Pd of this most stops into a solvent, the reattachment of a part of Pd is carried out to a substrate face, and as shown in drawing 1 (b), the catalyst 12 remains in a substrate face.

[0016]Subsequently, as shown in drawing 1 (c), sputter etching of this substrate 1 is carried out, and the unnecessary catalyst 12 which remains on the surface is removed. Since an electroless deposition layer deposits according to this catalyst if the catalyst bed 12 remains even when it is small besides wiring formation field 11, it is required to remove this catalyst bed 12 thoroughly. Although the part is removed in the case of sputter etching also in a substrate face, Since the peak of the concentration of the catalyst bed injected into the pouring layer 10 is in a position slightly deeper than the surface, it is preferred from not receiving any influence in the sputter etching about cleaning, but the catalyst concentration in a substrate face increasing on the contrary. Although it can also say that etching removal of the surface of the substrate 1 is carried out to the residual catalyst 12 by wet etching, since a part of catalyst adheres to surface every place and it has an adverse effect as a result, it is not preferred.

[0017]Then, as shown in drawing 1 (d), the obtained substrate 1 is immersed into electroless plating liquid, and the metal skin 13 is deposited taking advantage of the feature of electroless deposition of depositing only on a catalyst bed (ion implantation layer 10). Thereby, the circuit pattern which has desired wiring is completed.

[0018]Drawing 2 (a) thru/or (c), and drawing 3 (a) and (b) are the sectional views showing the 2nd example method of this invention at process order.

[0019]As shown in drawing 2 (a), photoresist 23 is carried out with ** on the semiconductor substrate 21 which had the surface beforehand covered with the thin insulator layer 22, After patterning the wiring formation field 26, the ion implantation of the catalyst for electroless deposition is carried out, and the pouring layer 24 of the photoresist 23 surface and the pouring layer 25 of the substrate 21 surface are formed. In this case, the depth of an ion implantation is adjusted so that the peak of Pd concentration may come to the interface of the insulator layer 22 and the substrate 21.

[0020]Subsequently, as shown in drawing 2 (b), the insulator layer 22 of the wiring formation field 26 is removed, and the photoresist 23 is removed further. As hereafter shown in drawing 2 (c) like the 1st example, the unnecessary residual catalyst 27 is removed by the sputter etching method.

[0021]Subsequently, if it is immersed into electroless plating liquid and the electroless deposition layer 28 is deposited on the ion implantation layer 25 as shown in drawing 3 (a), the wiring layer of this example will be formed. In drawing 1 (a) and drawing 2 (a), although the ion implantation of the catalyst of electroless deposition is carried out and the pouring layers 9, 10, 24, and 25 are formed, even if it uses the activator of a catalyst, for example, tin, (Sn) instead of a catalyst, the same effect can be acquired. In this case, drawing 1 (a) and drawing 2 (a), respectively instead of the implantation process of the catalyst ion of the 1st and 2nd examples, It differs in that the process of pouring in Sn is established, the process of removal of the resist after it and removal of the activator which remains is the same as that of the 1st and 2nd examples, and as shown in drawing 3 (b), the ion implantation layer 29 of an activator is formed instead of a catalyst.

[0022]Subsequently, if a substrate is immersed into a catalyst solution, for example, 0.01% - 1% liquid of a palladium chloride (PdCl_2), and substitution of an activator (for example, Sn) and a catalyst (for example, Pd) is performed in advance of the electroless deposition of a post process, The catalyst bed 30 replaced by the surface of the activator ion implantation layer 29 is formed. Subsequently, it is immersed into electroless plating liquid, and desired wiring will be formed if a metal skin is deposited on the catalyst bed 30.

[0023]Although the above explanation was explained focusing on nickel plating, this invention is not limited to this and can apply various methods. It cannot be overemphasized that eight group

elements, such as not only Pd but platina **** nickel, may be used also about a catalyst.

[0024]

[Effect of the Invention]As explained above, after forming a ground catalyst bed in a substrate face by an ion implantation, electroless deposition is performed by this invention.

Therefore, there is no wiring corrosion by side etching, and detailed wiring can be formed.

Since the catalyst bed which remains by sputter etching in addition to a wiring formation part is removed thoroughly, an electroless deposition layer can be prevented from being formed in a garbage. Since the catalyst used as a core is embedded in the substrate face, adhesion with a good film can be acquired.

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-218020

(43)公開日 平成5年(1993)8月27日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/3205				
21/288	Z	7738-4M		
21/302	Z	7353-4M		
		7735-4M	H 0 1 L 21/ 88	B

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平4-17129

(22)出願日 平成4年(1992)1月31日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 水田 高之

東京都港区芝五丁目7番1号 日本電気株式会社内

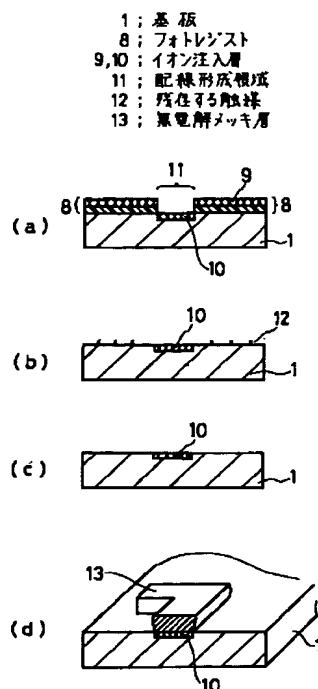
(74)代理人 弁理士 藤巻 正憲

(54)【発明の名称】 薄膜配線の形成方法

(57)【要約】

【目的】 絶縁性又は半導体性基板上に、無電解メッキ法で配線を形成する場合に、サイドエッチングによる配線細り及び配線形成部以外のメッキの形成を防止すると共に、膜の密着性の向上を図る。

【構成】 フォトリソ resist 8 を塗布し、必要とする配線領域 11 を転写する工程と、このレジストパターンをマスクとして無電解メッキの触媒又は付活剤の物質をイオン注入する工程と、フォトリソ resist を除去した後、スパッタエッチングにより残存する触媒 12 を除去し、配線形成領域にのみ触媒イオン注入層 10 を残した後、無電解メッキを行い、無電解メッキ層 13 による配線を形成する工程とを有する。メッキ後にエッチングを行わないため、サイドエッチングの影響を受けず、配線パターン部以外に触媒が付着しないので、不要なメッキ層の成長を防ぐと共に、触媒イオン注入層 10 を基板表面内に埋め込んでいるため、膜の密着性も向上する。



【特許請求の範囲】

【請求項1】 半導体基板又は絶縁性基板上への配線の形成方法において、フォトレジストを塗布し所要の配線パターンを転写する工程と、この配線パターンをマスクとして無電解メッキの触媒又は付活剤となる物質をイオン注入する工程と、前記フォトレジストを除去した後スパッタエッチングする工程と、無電解メッキを行う工程とを有することを特徴とする薄膜配線の形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は薄膜の配線の形成方法に関し、特に、無電解メッキを使用して微細パターンを形成する薄膜配線の形成方法に関する。

【0002】

【従来の技術】 従来、絶縁性基板若しくは半絶縁性基板又は絶縁膜を有する基板上に薄膜配線を形成するためには、予め蒸着、スパッタリング又は無電解メッキ等で導電性の下地被膜を形成する。次いで、この下地被膜上に更に配線の抵抗を下げるために、電解メッキ又は無電解メッキ等により被膜を厚く形成した後、フォトリソグラフィ法により所望の配線パターンを形成している。

【0003】 図4(a)乃至(d)は従来の薄膜配線の形成方法を工程順に示す断面図である。この図4は無電解メッキ法により下地膜を形成する場合の例である。図4(a)に示すように、無電解メッキの反応触媒として、例えばパラジウム(Pd)を含む触媒層2を基板1上に塗布形成する。

【0004】 次いで、図4(b)に示すように、触媒層2を焼きしめすることにより、基板1上に焼きしめ触媒層3を強固に固着させる。

【0005】 次いで、無電解メッキ液、例えば、水溶性ニッケル(Ni)塩と次亜リン酸塩(NaH_2PO_2)の混合液中に浸漬すると、触媒層3の作用により無電解メッキ液中のNiイオンが還元し、触媒層3に被着し、更に還元したNiを核に還元反応が進行する。その結果、図4(c)に示すように、約80℃に20分間加熱することにより、1μm程度の厚さの無電解メッキ層4が形成される。

【0006】 次いで、無電解メッキ層4上にフォトレジスト5を塗布し、フォトリソグラフィでフォトレジスト5をパターニングすることにより、配線パターンに対応するレジストパターンを形成する。

【0007】 次いで、図4(d)に示すように、フォトレジスト5をマスクとして露出している部分の無電解メッキ層4と触媒層3をエッチング除去し、更にレジスト層5を除去すれば、無電解メッキ層4により所望の配線パターンが完成する。

【0008】

【発明が解決しようとする課題】 しかしながら、上述の配線形成方法では、以下に示すような欠点がある。先

ず、無電解メッキ層4のエッチング液と、触媒層3のエッチング液によっては、レジスト5の直下の無電解メッキ層4が大きく浸食され、所謂、サイドエッチング現象が現れる。このため、微細な配線を形成しにくいという欠点がある。サイドエッチングを小さくする形成方法として、図5(a)に示すように、配線部が開口するようにレジスト5をパターニングし、次いで、触媒層2を被着するものがある。そして、その後にレジスト5を溶解除去することにより、レジスト5上の触媒層2も除去すると、開口部底部にのみ触媒層2が残存し、これを無電解メッキ液に浸漬すれば、図5(b)に示すように、無電解メッキ層4が形成され、所望の配線パターンを有する基板が完成する。

【0009】 しかし、この方法ではレジスト5上の触媒層2が基板1上にこびりつく場合があり、このままメッキを行うと、図5(b)に示すように、基板1にこびりついた触媒層6上に無電解メッキ層7が形成されてしまうという欠点がある。また、各被膜が基板表面に物理的に付着しているのみであり、密着性が劣るという欠点もある。

【0010】 本発明はかかる問題点に鑑みてなされたものであって、サイドエッチングが防止されて微細な配線を形成することができ、不要部分に無電解メッキ層が形成されることを防止できると共に、被膜の良好な密着性をもつ薄膜配線の形成方法を提供することを目的とする。

【0011】

【課題を解決するための手段】 本発明に係る薄膜配線の形成方法は、半導体基板又は絶縁性基板上への配線の形成方法において、フォトレジストを塗布し所要の配線パターンを転写する工程と、この配線パターンをマスクとして配線形成領域に無電解メッキの触媒又は付活剤となる物質をイオン注入する工程と、前記フォトレジストを除去した後スパッタエッチングする工程と、無電解メッキを行う工程とを有することを特徴とする。

【0012】 なお、表面に絶縁膜を形成した基板もその性質上基板自体が絶縁性である場合と同様の作用効果を有するものであるため、本発明においては絶縁性基板に含めるものとする。

【0013】

【作用】 本発明においては、基板表面に所定の配線パターンで無電解メッキの触媒をイオン注入して下地触媒層を形成した後、無電解メッキを行うので、サイドエッチングによる配線浸食が無く、微細な配線を形成できる。また、フォトレジストを除去した後、スパッタエッチングするので、配線形成部以外に残存する触媒層を完全に除去することができ、不要部分に無電解メッキ層が形成されることを防止することができる。更に、核となる触媒が基板表面内に埋め込まれていることから、各膜の良好な密着性を得ることができる。

【0014】

【実施例】次に、本発明の実施例について添付の図面を参照して説明する。

【0015】図1(a)乃至(d)は本発明の実施例方法を工程順に示す基板の断面図である。図1(a)に示すように、基板1上にフォトリソグラーフ法でフォトリソレジスト8を塗布し、必要とする配線形成領域11に開口部が形成されるように、フォトリソグラーフ法でフォトリソレジスト8をパターン形成する。更に、このフォトリソレジスト8をマスクとして無電解メッキ、例えば、ニッケル(Ni)用の触媒パラジウム(Pd)を、例えば、100~200Kevのエネルギー及び約 $1 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-2}$ のドーズ量の条件でイオン注入し、配線形成領域11の基板1の表面にイオン注入層10を形成する。このとき、Pdは、各表面から例えば約0.03~0.06 μm 内部に入った所にピークをもつガウス型の濃度分布を有しており、フォトリソレジスト8のイオン注入層9及び基板1のイオン注入層10を形成している。この場合に、フォトリソレジスト8の厚さを、例えば1 μm 以上にしておけば、フォトリソレジスト8の下基板1までPdは到達しない。しかし、後工程のフォトリソレジスト8の除去工程において、通常は有機溶剤又は酸による剥離処理が行われるため、フォトリソレジスト8内のイオン注入層9に存在していたPdが溶出する。この大部分のPdは溶剤中に留まるが、一部のPdは基板表面に再付着し、図1(b)に示すように、触媒12が基板表面に残存する。

【0016】次いで、図1(c)に示すように、この基板1をスパッタエッチングし、表面に残存する不要な触媒12を除去する。配線形成領域11以外にもわずかも触媒層12が残存すると、この触媒により無電解メッキ層が析出するため、この触媒層12を完全に除去することが必要である。スパッタエッチングの際、基板表面もその一部が除去されるが、注入層10に注入された触媒層の濃度のピークは表面よりわずかに深い位置にあるため、クリーニング程度のスパッタエッチングでは何らの影響を受けず、かえって基板表面での触媒濃度が増すことから好ましい。なお、ウェットエッチングにより残存触媒12と基板1の表面をエッチング除去するということもできるが、触媒の一部は表面の各所に付着し、結果として悪影響を及ぼすので好ましくない。

【0017】その後、図1(d)に示すように、得られた基板1を無電解メッキ液中に浸漬し、触媒層(イオン注入層10)上のみに析出する無電解メッキの特徴を生かし、メッキ層13を析出させる。これにより、所望の配線を有する配線パターンが完成する。

【0018】図2(a)乃至(c)及び図3(a)及び(b)は本発明の第2の実施例方法を工程順に示す断面図である。

【0019】図2(a)に示すように、予め薄い絶縁膜22で表面を被われた半導体基板21上にフォトリソ

ト23を塗付し、配線形成領域26をパターンニングした後、無電解メッキ用触媒をイオン注入し、フォトリソレジスト23表面の注入層24及び基板21表面の注入層25を形成する。この場合に、イオン注入の深さは絶縁膜22と基板21との界面にPd濃度のピークがくるように調整する。

【0020】次いで、図2(b)に示すように、配線形成領域26の絶縁膜22を除去し、更に、フォトリソレジスト23を除去する。以下、第1の実施例と同様に図2

10 (c)に示すように、不要な残存触媒27をスパッタエッチング法で除去する。

【0021】次いで、図3(a)に示すように、無電解メッキ液中に浸漬し、イオン注入層25上に無電解メッキ層28を析出させれば、本実施例の配線層が形成される。なお、図1(a)及び図2(a)においては、無電解メッキの触媒をイオン注入し、注入層9、10、24、25を形成しているが、触媒の代わりに触媒の付活剤、例えば、スズ(Sn)を用いても同様の効果を得ることができる。この場合は、図1(a)及び図2(a)の夫々第1及び第2の実施例の触媒イオンの注入工程の代わりに、Snを注入する工程を設ける点が異なり、それ以後のレジストの除去、残存する付活剤の除去の工程までは、第1及び第2の実施例と同様であり、図3

(b)に示すように、触媒の代わりに付活剤のイオン注入層29が形成される。

【0022】次いで、後工程の無電解メッキに先立ち、触媒溶液、例えば塩化パラジウム(PdCl_2)の0.01%~1%液中に基板を浸漬し、付活剤(例えば、Sn)と触媒(例えば、Pd)との置換を行うと、付活剤イオン注入層29の表面に置換した触媒層30が形成される。次いで、無電解メッキ液中に浸漬し、触媒層30上にメッキ層を析出させれば所望の配線が形成される。

【0023】以上の説明は、Niメッキを中心に説明したが、本発明はこれに限定されるものではなく、種々の方法を適用できる。また、触媒についてもPdに限らずプラチナ及びニッケル等の8族元素を使用してもよいことはいうまでもない。

【0024】

【発明の効果】以上説明したように、本発明によれば、基板表面にイオン注入により下地触媒層を形成した後、無電解メッキを行うので、サイドエッチングによる配線浸食が無く、微細な配線が形成できる。また、スパッタエッチングにより配線形成部以外に残存する触媒層を完全に除去するので、不要部分に無電解メッキ層が形成されることを防止することができる。更に、核となる触媒が基板表面内に埋め込まれていることから、膜の良好な密着性を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例方法を工程順に示す断面図である。

5

6

【図2】本発明の第2の実施例方法の前半の工程を工程順に示す断面図である。

【図3】本発明の第2の実施例方法の後半の工程を工程順に示す断面図である。

【図4】従来の形成方法を工程順に示す断面図である。

【図5】従来の他の形成方法を工程順に示す断面図である。

【符号の説明】

1；基板

2；触媒層

3；焼きしめた触媒層

4，13，28；無電解メッキ層

5，8，22；フォトリソ

6；こびりついた触媒層

7；触媒層6上に形成された無電解メッキ層

9，24；レジスト中のイオン注入層

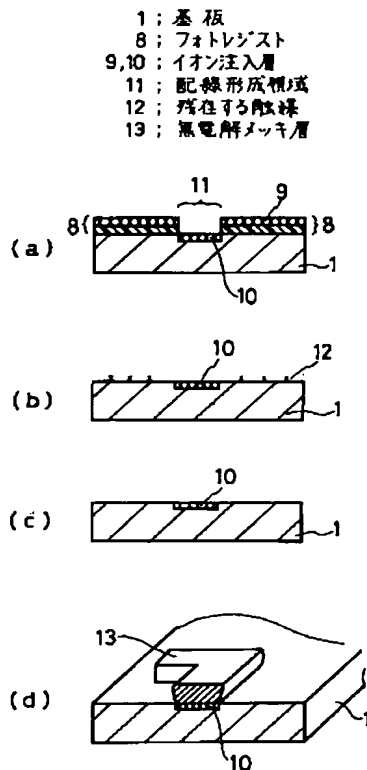
10，25；基板中のイオン注入層

11，26；配線形成領域

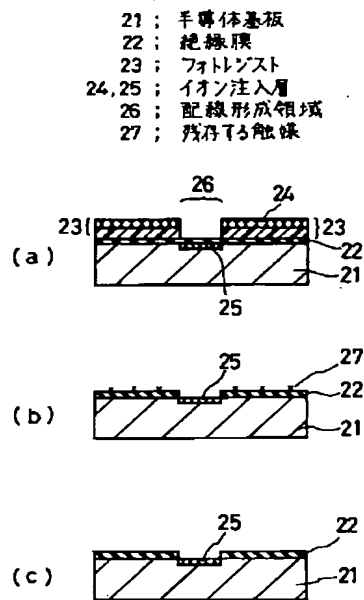
12，27；残存する触媒

10 21；半導体基板

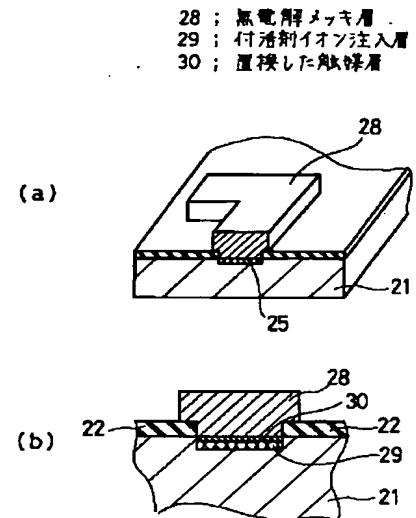
【図1】



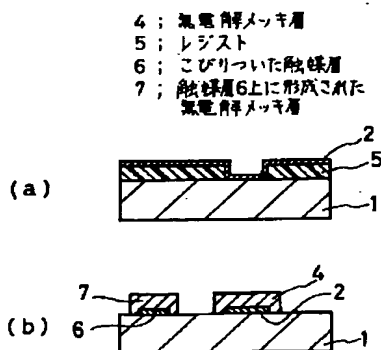
【図2】



【図3】



【図5】



【図 4】

- 1 ; 基 板
 2 ; 触 媒 層
 3 ; 焼きしめた触媒層
 4 ; 気電解メッキ層
 5 ; レジスト

